

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-015297

(43)Date of publication of application : 17.01.1997

(51)Int.Cl.

G01R 31/28

G01R 31/26

G11C 29/00

(21)Application number : 07-159614

(71)Applicant : SONY CORP

(22)Date of filing : 26.06.1995

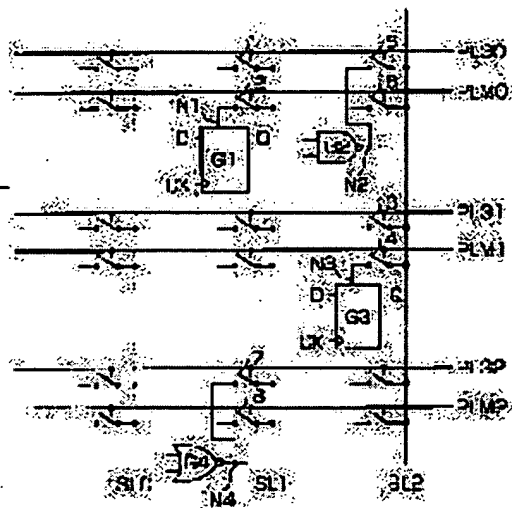
(72)Inventor : ONODERA TAKASHI

(54) TEST CIRCUIT

(57)Abstract:

PURPOSE: To realize a test circuit that is able to write in plural pieces of storage elements simultaneously, making up a short test pattern, and to shorten the test time.

CONSTITUTION: This test circuit is provided with two types of selective control lines, storage element exclusive selective control lines PLM0, PLM1, PLM2 and gate element-exclusive selective control lines PLG0, PLG1, PLG2. Two input-output nodes N1, N3 of storage elements G1, G3 and two read-write combined signal lines SL1, SL2 are operationally connected by two switching elements 2 and 4 whose control terminals are connected to the storage element-exclusive selective control line PLM0 and PLM1, and two output nodes N2, N4 of gate elements G2, G4 and two read-write combined signal lines SL2, SL1 are operationally connected by two switching elements 5 and 7 whose control terminals are connected to the gate element exclusive selective control lines PLG0 and PLG1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-15297

(43) 公開日 平成9年(1997)1月17日

| (51) Int.Cl. ⁸ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|--------|---------------|---------|
| G 0 1 R 31/28 | | | G 0 1 R 31/28 | V |
| | | | 31/28 | B |
| G 1 1 C 29/00 | 3 0 3 | | G 1 1 C 29/00 | 3 0 3 E |

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平7-159614

(22) 出願日 平成7年(1995)6月26日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小野寺 岳志

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

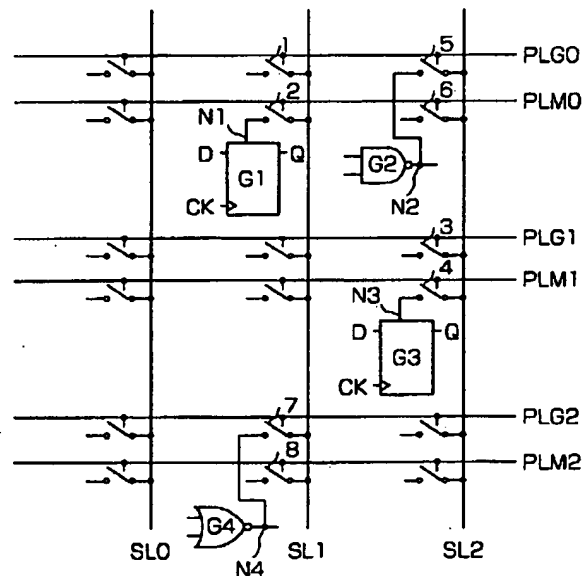
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 テスト回路

.... 【要約】

【目的】複数の記憶素子に同時に書き込むことができ、従来より短い検査パターンを作成でき、検査時間を短縮できるテスト回路を実現する。

【構成】記憶素子専用選択制御線 PLM0, PLM1, PLM2 およびゲート素子専用選択制御線 PLG0, PLG1, PLG2 の2種類の選択制御線を設け、記憶素子 G1, G3 の入出力ノード N1, N3 と読み出しおよび書き込み兼用信号線 SL1, SL2 とを、制御端子が記憶素子専用選択制御線 PLM0, PLM1 に接続されたスイッチ素子 2, 4 により作動的に接続し、ゲート素子 G2, G4 の出力ノード N2, N4 と読み出しおよび書き込み兼用信号線 SL2, SL1 とを、制御端子がゲート素子専用選択制御線 PLG0, PLG1 に接続されたスイッチ素子 5, 7 により作動的に接続する。



【特許請求の範囲】

【請求項1】 第1の被テスト回路と第2の被テスト回路とが電気的に行列状に配列され、同一列または同一行に属する第1および第2の被テスト回路は、それぞれ異なるスイッチ素子を介して同一の信号線に接続され、これらスイッチ素子は、制御線のレベルに応じて、第1または第2の被テスト回路と信号線とを作動的に接続するテスト回路であって、

各行または各列毎に対応して第1および第2の制御線有し、

同一行または同一列に属する第1の被テスト回路用スイッチ素子の制御端子が上記第1の制御線に接続され、同一行または同一列に属する第2の被テスト回路用スイッチ素子の制御端子が上記第2の制御線に接続されているテスト回路。

【請求項2】 制御端子が上記第1の制御線に接続された第1のスイッチ素子と制御端子が上記第2の制御線に接続された第2のスイッチ素子とを有し、

上記第1および第2のスイッチ素子は上記第1の被テスト回路に対して並列に接続され、上記第1の被テスト回路は、上記第1および第2のスイッチ素子を介して、上記信号線と作動的に接続される請求項1記載のテスト回路。

【請求項3】 上記第1のスイッチ素子は第1の導電型金属絶縁膜半導体トランジスタからなり、上記第2のスイッチ素子は第2の導電型金属絶縁膜半導体トランジスタからなる請求項2記載のテスト回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体素子、たとえば電気的に行列状に配列されたゲート素子および記憶素子などをテストするためのテスト回路に関するものである。

【0002】

【従来の技術】 一般的に、ゲート素子あるいは記憶素子をテストするためクロスチェック方式に代表される格子状のテスト回路が用いられる。図11はこのような格子状のテスト回路の一例を示す回路図である。図11においては、SL0、SL1、SL2は信号の読み出しおよび書き込み兼用信号線、PL0、PL1、PL2は選択制御線、SW1、SW2、SW3、SW4はスイッチ素子、G1、G2、G3およびG4は被テスト回路をそれぞれ示している。なお、被テスト回路のうち、G1、G3は記憶素子、G2、G4はゲート素子によって構成されている。さらに、図11においては、N1、N3は記憶素子G1、G3の入出力ノード、N2、N4ゲート素子G2、G4の出力ノードを示す。

【0003】 実際のテスト回路においては、被テスト回路は電気的に行列状に配置されることになるが、ここでは、説明の簡単化のため、必要な部分にのみ符号を付し

て説明を行う。

【0004】 読み出しおよび書き込み兼用信号線SL0、SL1、SL2および選択制御線PL0、PL1、PL2が格子状に配置されており、その交差点にスイッチ素子SW1、…、SW4が設置されている。これらスイッチ素子SW1、…、SW4はそれぞれ読み出しおよび書き込み兼用信号線SL0、SL1、SL2と被テスト素子、たとえば記憶素子G1、G3、またはゲート素子G2、G4との間に接続され、スイッチ素子SW1、…、SW4のオン/オフは選択制御線PL0、PL1、PL2の電位によって制御される。

【0005】 ここで、たとえば、記憶素子G1に所定のデータを書き込むときの動作を図11を参照しつつ説明する。選択制御線PL0を所定の電位に保持させ、すなわち選択制御線PL0を選択することによって、スイッチ素子SW1をオン状態にさせ、読み出しおよび書き込み兼用信号線SL1がスイッチ素子SW1を介して、記憶素子G1の入出力ノードN1に接続される。したがって、読み出しおよび書き込み兼用信号線SL1に記憶素子G1に書き込もうとするデータに対応する電位を印加すれば、この電位がスイッチ素子SW1を介して記憶素子G1の入出力ノードN1に印加され、これによって、記憶素子G1に所定のデータが書き込まれる。

【0006】 同様に、選択制御線PL1を選択することによって、スイッチ素子SW3をオン状態にさせ、読み出しおよび書き込み兼用信号線SL2がスイッチ素子SW3を介して、記憶素子G3の入出力ノードN3に接続される。読み出しおよび書き込み兼用信号線SL2に所定の電位を供給すれば、この電位がスイッチ素子SW3を介して、記憶素子G3の入出力ノードに印加されるため、この電位に応じて、所定のデータが記憶素子G3に書き込まれる。

【0007】 読み出しのとき、たとえば、ゲート素子G2の出力ノードN2の電位を読み出そうとするとき、選択制御線PL0を選択し、スイッチ素子SW2をオン状態にさせることによって、ゲート素子G2の出力ノードの電位がスイッチ素子SW2を介して、読み出しおよび書き込み兼用信号線SL2に印加され、ゲート素子G2の出力ノードN2の電位に応じたデータが読み出しおよび書き込み兼用信号線SL2に読み出される。

【0008】

【発明が解決しようとする課題】 ところで、このように構成されたクロスチェック方式の格子状テスト回路においては、たとえば、記憶素子G1、G3に同時に値を書き込むことができない。記憶素子G1に書き込むために選択制御線PL0を選択し、すなわち選択制御線PL0を所定の電位に保持させ、スイッチ素子SW1を導通させなければならない。しかし、これによって、スイッチ素子SW2も導通状態となり、信号線SL2がゲート素子G2の出力と短絡してしまう。

【0009】このため、上述のテスト回路において、選択制御線を同時に使用することが制限され、記憶素子への書き込みは一度に一列しかできず、テスト回路の規模が大きくなるに伴い、すべての記憶素子にデータを書き込むには多くの時間を要する。

【0010】本発明は、かかる事情に鑑みてなされたものであり、その目的は、複数の記憶素子に対して、同時に書き込むことができ、ひいては短い検査パターンを作成でき、半導体素子の検査時間を短縮できるテスト回路を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明は、第1の被テスト回路と第2の被テスト回路とが電気的に行列状に配列され、同一列または同一行に属する第1および第2の被テスト回路は、それぞれ異なるスイッチ素子を介して同一の信号線に接続され、これらスイッチ素子は、制御線のレベルに応じて、第1または第2の被テスト回路と信号線とを作動的に接続するテスト回路であって、各行または各列毎に対応して第1および第2の制御線を有し、同一行または同一列に属する第1の被テスト回路用スイッチ素子の制御端子が上記第1の制御線に接続され、同一行または同一列に属する第2の被テスト回路用スイッチ素子の制御端子が上記第2の制御線に接続されている。

【0012】また、本発明では、制御端子が上記第1の制御線に接続されている第1のスイッチ素子と制御端子が上記第2の制御線に接続されている第2のスイッチ素子とを有し、上記第1および第2のスイッチ素子は上記第1の被テスト回路に対して並列に接続され、上記第1の被テスト回路は、上記第1および第2のスイッチ素子を介して、上記信号線と作動的に接続される。

【0013】さらに、本発明では、上記第1のスイッチ素子は第1導電型金属絶縁膜半導体トランジスタからなり、上記第2のスイッチ素子は第2導電型金属絶縁膜半導体トランジスタからなる。

【0014】

【作用】本発明によれば、たとえば、読み出しの場合は、第1および第2の選択制御線がペアで順次選択され、すなわち所定の電位に保持されることによって、読み出しおよび書き込み兼用信号線と第1の被テスト回路および第2の被テスト回路との間に接続されているスイッチ素子が順次に導通状態となる。その結果、第1の被テスト回路および第2の被テスト回路の出力ノードの電位がそれぞれの被テスト回路に接続されている読み出しおよび書き込み兼用信号線に読み出される。

【0015】また、書き込みの場合は、たとえば第1の選択制御線のみを順次または同時に選択することによって、読み出しおよび書き込み兼用信号線と第1の被テスト回路の入出力ノードとの間に接続されているスイッチ素子が順次または同時に導通状態となり、各読み出しお

よび書き込み兼用信号線の電位が順次、または同時にそれぞれの信号線に接続されている、たとえば、記憶素子としての第1の被テスト回路の入出力ノードに印加され、各読み出しおよび書き込み兼用信号線の電位に応じたデータが記憶素子としての第1の被テスト回路に書き込まれる。

【0016】さらに、本発明によれば、第1導電型金属絶縁膜半導体トランジスタおよび第2導電型金属絶縁膜半導体トランジスタにより構成され、第1の被テスト回路と信号線との間に並列に接続された第1および第2のスイッチ素子を設けることにより、特別な電源なしに、第1の被テスト回路としての記憶素子に安定した書き込みを実現する。

【0017】

【実施例1】図1は、本発明に係るテスト回路の第1の実施例の概念を示す図、図2は図1に示す回路の具体的な構成例を示す回路図である。図1および図2においては、1, 2, ..., 8はスイッチ素子、SL0, SL1, SL2は読み出しおよび書き込み兼用信号線、PLG0, PLG1, PLG2はゲート素子専用選択制御線、PLM0, PLM1, PLM2は記憶素子専用選択制御線、CKはクロック信号の入力線、G1, G3は被テスト回路としての記憶素子、G2, G4は被テスト回路としてのゲート素子、N1, N3は記憶素子G1, G3の入出力ノード、N2, N4はゲート素子G2, G4の出力ノードをそれぞれ示している。また、図1および図2においては、回路の同じ構成部分を同じ記号を用いて表記する。なお、スイッチ素子1, 2, ..., 8は、たとえば、図2に示すように、pチャネルMOSトランジスタ（以下PMOSトランジスタという）により構成される。

【0018】さらに、実際の回路においては、スイッチ素子1, 2, ..., 8と被テスト回路は電気的に行列状に配置されることになるが、本実施例では、説明の簡単化のため、必要な部分のみ図示し、符号を付して説明する。

【0019】図1に示すように、スイッチ素子1, 5の制御端子がゲート素子専用選択制御線PLG0に、スイッチ素子2, 6の制御端子が記憶素子専用選択制御線PLM0に、スイッチ素子3の制御端子がゲート素子専用選択制御線PLG1に、スイッチ素子4の制御端子が記憶素子専用選択制御線PLM1に、スイッチ素子7の制御端子がゲート素子専用選択制御線PLG2に、スイッチ素子8の制御端子が記憶素子専用選択制御線PLM2にそれぞれ接続されている。

【0020】具体的に、図2に示すように、スイッチ素子としてのPMOSトランジスタ1, 5のゲートがゲート素子専用選択制御線PLG0に、スイッチ素子としてのPMOSトランジスタ2, 6のゲートが記憶素子専用選択制御線PLM0に、スイッチ素子としてのPMOS

トランジスタ3のゲートがゲート素子専用選択制御線PLG1に、スイッチ素子としてのPMOSTランジスタ4のゲートが記憶素子専用選択制御線PLM1に、スイッチ素子としてのPMOSTランジスタ7のゲートがゲート素子専用選択制御線PLG2に、スイッチ素子としてのPMOSTランジスタ8のゲートが記憶素子専用選択制御線PLM2にそれぞれ接続されている。

【0021】また、スイッチ素子（PMOSTランジスタ）2が記憶素子G1の入出力ノードN1と読み出しおよび書き込み兼用信号線SL1との間に、スイッチ素子（PMOSTランジスタ）7がゲート素子G4の出力ノードN4と読み出しおよび書き込み兼用信号線SL1との間に接続され、スイッチ素子（PMOSTランジスタ）5がゲート素子G2の出力ノードN2と読み出しおよび書き込み兼用信号線SL2との間に、スイッチ素子（PMOSTランジスタ）4が記憶素子G3の入出力ノードN3と読み出しおよび書き込み兼用信号線SL2との間にそれぞれ接続されている。

【0022】なお、本実施例においては、スイッチ素子1, 3, 6, 8は被テスト素子と接続されておらず、回路の動作には影響しない。

【0023】このような構成において、ゲート素子専用選択制御線PLG0およびPLG2を選択する（図2においては、接地電位に保持させる）ことによって、スイッチ素子（PMOSTランジスタ）5, 7がオン状態になり、ゲート素子G2, G4の出力ノードN2, N4がスイッチ素子（PMOSTランジスタ）5, 7を介して、読み出しおよび書き込み兼用信号線SL2, SL1に接続される。

【0024】一方、記憶素子専用選択制御線PLM0, PLM1を選択することによって、スイッチ素子を構成するPMOSTランジスタ2, 4がオン状態になり、記憶素子G1, G3の入出力ノードN1, N3がスイッチ素子を構成するPMOSTランジスタ2, 4を介して、読み出しおよび書き込み兼用信号線SL1, SL2に接続される。

【0025】すなわち、読み出しのとき、ゲート素子専用選択制御線PLG0, PLG1, PLG2および記憶素子専用選択制御線PLM0, PLM1, PLM2を別々に選択することによって、ゲート素子G2, G4の出力ノードN2, N4の電位および記憶素子G1, G3の入出力ノードN1, N3の電位を別々に読み出しおよび書き込み兼用信号線SL1, SL2に読み出すことができ、さらにこの2種類の選択制御線を順次ペアで選択することによって、従来例と全く同様に各ゲート素子の出力ノードまたは記憶素子の入出力ノードの電位を読み出しおよび書き込み兼用信号線に印加させることができる。

【0026】書き込みの動作においては、読み出しと同様に、記憶素子専用選択制御線PLM0, PLM1を順

次選択することによって、従来のように、各記憶素子G1, G3の入出力ノードN1, N3に順次に読み出しおよび書き込み兼用信号線SL1, SL2の電位に応じたデータを各記憶素子に書き込むことができ、さらに、記憶素子専用選択制御線PLM0, PLM1を同時に選択することによって、各記憶素子の入出力ノードN1, N3に同時に読み出しおよび書き込み兼用信号線SL1, SL3の電位に応じたデータを書き込むことができ、従来例では実現できない動作を実行できる。

【0027】図3は図2におけるスイッチ素子を構成するPMOSTランジスタ2に接続された記憶素子G1の構成例を示す回路図である。図3においては、INV1～INV7はインバータ、TG1～TG5はトランスファゲート、Dは記憶素子G1のデータ入力線、Qは記憶素子G1のデータ出力線、CKはクロック信号の入力線、XCKはクロック信号の反転信号の信号線、ICKはクロック信号の同相信号の信号線をそれぞれ示している。

【0028】トランスファゲートTG1, TG5を構成するPMOSTランジスタのゲートがクロック信号の同相信号の信号線ICKに、トランスファゲートTG1, TG5を構成するNMOSTランジスタのゲートがクロック信号の反転信号の信号線XCKに接続され、トランスファゲートTG2, TG4を構成するPMOSTランジスタのゲートがクロック信号の反転信号の信号線XCKに、トランスファゲートTG2, TG4を構成するNMOSTランジスタのゲートがクロック信号の同相信号の信号線ICKにそれぞれ接続されている。さらに、トランスファゲートTG3を構成するNMOSTランジスタのゲートが記憶素子専用選択制御線PLM0に、トランスファゲートTG3を構成するPMOSTランジスタのゲートがインバータINV5を介して、記憶素子専用選択制御線PLM0に接続されている。

【0029】図3の回路においては、クロック信号の入力線CKにハイレベルの電位が印加されている状態では、記憶素子専用選択制御線PLM0を選択し、すなわち記憶素子専用の選択制御線PLM0の電位を接地電位に保持させることによって、スイッチ素子を構成するPMOSTランジスタ2を導通状態にする。これにより、読み出しおよび書き込み兼用信号線SL1の電位が記憶素子G1の入出力ノードN1に印加される。このとき、トランスファゲートTG2が導通状態となり、ノードN1の電位がインバータINV1, INV2、トランスファゲートTG2、インバータINV3, INV4を介して、記憶素子G1のデータ出力線Qに伝搬される。これによって、読み出しおよび書き込み兼用信号線SL1の電位に応じたデータが記憶素子G1に記録させることができる。

【0030】図4は本第1の実施例における読み出しの動作のタイムチャートを示す波形図である。図4に示す

ように、本第1の実施例のテスト回路においては、読み出しの動作を行うとき、ゲート素子専用選択制御線および記憶素子専用選択制御線を同時に選択する、すなわち接地電位にすることによって、読み出しを実現する。

【0031】具体的に、クロック信号の入力線CKを接地電位にし、ゲート素子専用選択制御線PLG0と記憶素子専用選択制御線PLM0を、ゲート素子専用選択制御線PLG1と記憶素子専用選択制御線PLM1を、ゲート素子専用選択制御線PLG2と記憶素子専用選択制御線PLM2をそれぞれペアとして、順次に接地電位にすることによって、各ゲート素子G2、G4の出力ノードN2、N4および記憶素子G1、G3の入出力ノードN1、N3の電位に応じたデータが読み出しおよび書き込み兼用信号線SL1、SL2に読み出される。たとえば、選択制御線PLG0およびPLM0を同時に接地電位にすることによって、記憶素子G1の入出力ノードN1の電位が読み出しおよび書き込み兼用信号線SL1に、ゲート素子G2の出力ノードN2の電位に応じたデータが読み出しおよび書き込み兼用信号線SL2にそれぞれ読み出され、選択制御線PLG1およびPLM1を同時に接地電位にすることによって、記憶素子G3の入出力ノードN3の電位に応じたデータが読み出しおよび書き込み兼用信号線SL2に読み出され、選択制御線PLG2およびPLM2を同時に接地電位にすることによって、ゲート素子G4の出力ノードN4の電位に応じたデータが読み出しおよび書き込み兼用信号線SL1に読み出される。

【0032】図5は本第1の実施例における書き込みの動作のタイムチャートを示す波形図である。図5に示すように、本第1の実施例のテスト回路においては、書き込みを行うとき、記憶素子専用の選択制御線PLM0、PLM1、PLM2のみを順次または同時に選択する、すなわち接地電位にすることによって、読み出しおよび書き込み兼用信号線SL1、SL2の電位が記憶素子G1、G3の入出力ノードN1、N3に印加することになり、読み出しおよび書き込み兼用信号線SL1、SL2の電位に応じたデータが記憶素子G1、G3に書き込まれる。

【0033】具体的に、クロック信号の入力線CKにハイレベルの電位が印加されている状態では、記憶素子専用選択制御線PLM0、PLM1を順次に接地電位にすることによって、記憶素子G1、G3の入出力ノードN1、N3に順次に読み出しおよび書き込み兼用信号線SL1、SL2の電位が印加される。また、記憶素子専用選択制御線PLM0、PLM1を同時に接地電位にすることによって、記憶素子G1、G3の入出力ノードN1、N3に同時に読み出しおよび書き込み兼用信号線SL1、SL2の電位が印加され、それぞれの電位に応じたデータが記憶素子G1、G3に書き込まれる。

【0034】本第1の実施例によれば、ゲート素子専用

選択制御線および記憶素子専用選択制御線を別々に設け、選択することによって、ゲート素子の出力ノードおよび記憶素子の入出力ノードの電位を選択的に読み出しおよび書き込み兼用信号線に読み出すことが可能であり、さらにこの2種類の選択制御線をペアで、順次に選択することによって、従来例と同様に各ゲート素子の出力ノードまたは記憶素子の入出力ノードの電位を読み出しおよび書き込み兼用信号線に印加することができ、それぞれの素子のノード電位に応じたデータが読み出しおよび書き込み兼用信号線に読み出される。

【0035】また、記憶素子専用選択制御線のみを順次に選択することによって、各記憶素子に読み出しおよび書き込み兼用信号線の電位に応じたデータを書き込むことができ、さらに記憶素子専用選択制御線を同時に選択することによって、同時に複数の記憶素子にデータを書き込むことが可能となり、テスト回路による記憶素子の検査時間を短縮できる。

【0036】さらに、この機能を用いて、記憶素子専用選択制御線PLM0、PLM1、PLM2を同時に選択し、読み出しおよび書き込み兼用信号線SL0、SL1、SL2に全て接地電位を保持させることによって、システムをリセットすることができる。これによって、従来必要だったシステムのリセット回路を省略することができる。

【0037】また、本第1の実施例においては、選択制御線はポリシリコンなどによって作製することができ、記憶素子専用のスイッチ素子とともに金属配線層の下に埋め込むことができる。このため、実質上の面積の増加はそれほど多くはならず、実用上障害にはならない。

【0038】

【実施例2】図6は、本発明に係るテスト回路の第2の実施例の概念を示す図、図7は図6の回路の具体的な構成例を示す図である。本第2の実施例が上記第1の実施例と異なる点は、記憶素子G1と読み出しおよび書き込み兼用信号線SL1との間に、スイッチ素子11、12が並列に接続され、記憶素子G3と読み出しおよび書き込み兼用信号線SL2との間に、スイッチ素子13、14が並列に接続され、スイッチ素子11の制御端子がゲート素子専用選択制御線PLG0に接続され、スイッチ素子12の制御端子が記憶素子専用選択制御線PLM0に接続され、スイッチ素子13の制御端子がゲート素子専用選択制御線PLG1に接続され、スイッチ素子14の制御端子が記憶素子専用選択制御線PLM1にそれぞれ接続されていることにある。

【0039】図6および図7においては、スイッチ素子以外の構成部分は図1および図2と同様のため、同一の符号を用いて表記する。すなわち、SL0、SL1、SL2は読み出しおよび書き込み兼用信号線、PLG0、PLG1、PLG2はゲート素子専用選択制御線、PLM0、PLM1、PLM2は記憶素子専用選択制御線、

CKはクロック信号の入力線、G1、G3は被テスト素子としての記憶素子、G2、G4は被テスト素子としてのゲート素子、N1、N3は記憶素子G1、G3の入出力ノード、N2、N4はゲート素子G2、G4の出力ノードをそれぞれ表す。

【0040】そして、本第2の実施例においては、ゲート素子専用選択制御線PLG0、PLG1、PLG2によって、オン・オフ制御されるスイッチ素子11、13、15、17はPMOSTランジスタによって構成され、記憶素子専用選択制御線PLM0、PLM1、PLM2によって、オン・オフ制御されるスイッチ素子12、14、16、18はNMOSTランジスタによって構成されている。

【0041】さらに具体的には、図7に示すように、PMOSTランジスタ11およびNMOSTランジスタ12が記憶素子G1の入出力ノードN1と読み出しおよび書き込み兼用信号線SL1との間に、PMOSTランジスタ13およびNMOSTランジスタ14が記憶素子G3の入出力ノードN3と読み出しおよび書き込み兼用信号線SL2との間にそれぞれ並列に接続されている。PMOSTランジスタ15がゲート素子G2の出力ノードN2と読み出しおよび書き込み兼用信号線SL2との間に、PMOSTランジスタ17がゲート素子G4の出力ノードN4と読み出しおよび書き込み兼用信号線SL1との間に接続されている。

【0042】また、スイッチ素子としてのPMOSTランジスタ11、15のゲートがゲート素子専用選択制御線PLG0に、スイッチ素子としてのNMOSTランジスタ12、16のゲートが記憶素子専用選択制御線PLM0に、スイッチ素子としてのPMOSTランジスタ13のゲートがゲート素子専用選択制御線PLG1に、スイッチ素子としてのNMOSTランジスタ14のゲートが記憶素子専用選択制御線PLM1に、スイッチ素子としてのPMOSTランジスタ17のゲートがゲート素子専用選択制御線PLG2に、スイッチ素子としてのNMOSTランジスタ18のゲートが記憶素子専用選択制御線PLM2に、それぞれ接続されている。

【0043】なお、スイッチ素子16および18が被テスト素子に接続されておらず、テスト回路の動作に影響しない。

【0044】このような構成において、ゲート素子専用選択制御線PLG0およびPLG2を選択する、すなわち接地電位に保持させることによって、PMOSTランジスタにより構成されたスイッチ素子15、17がオン状態になり、ゲート素子G2、G4の出力ノードN2、N4がスイッチ素子15、17を介して、読み出しおよび書き込み兼用信号線SL2、SL1に接続される。

【0045】一方、記憶素子専用選択制御線PLM0、PLM1を選択する、すなわちハイレベルの電位に保持させることによって、NMOSTランジスタにより構成

されたスイッチ素子12、14がオン状態となり、記憶素子G1、G3の入出力ノードN1、N3が読み出しおよび書き込み兼用信号線SL1、SL2に接続される。また、ゲート素子専用選択制御線PLG0、PLG1を選択する、すなわち接地電位に保持させることによって、PMOSTランジスタにより構成されたスイッチ素子11、13がオン状態になり、これにより、記憶素子G1、G3の入出力ノードN1、N3が読み出しおよび書き込み兼用信号線SL1、SL2に接続される。

【0046】図8は、本第2の実施例におけるスイッチ素子11、12に接続された記憶素子G1の構成例を示す回路図である。図8に示すように、記憶素子G1の入出力ノードN1と読み出しおよび書き込み兼用信号線SL1との間に、PMOSTランジスタにより構成されているスイッチ素子11およびNMOSTランジスタにより構成されているスイッチ素子12が並列に接続されている。また、本第2の実施例においては、記憶素子専用選択制御線をハイレベル電位に保持させることによって選択することから、トランスファゲートTG3の構成は図3と異なる。図8および図3において、上記以外の構成部分は同様である。

【0047】ここで、クロック信号の入力線CKにハイレベルの電位が印加されている場合は、ゲート素子専用選択制御線PLG0および記憶素子専用選択制御線PLM0にそれぞれ接地電位およびハイレベルの電位を印加することによって、PMOSTランジスタにより構成されたスイッチ素子11およびNMOSTランジスタにより構成されたスイッチ素子12がオン状態となり、読み出しおよび書き込み兼用信号線SL1の電位が記憶素子G1の入出力ノードN1に印加される。このとき、トランスファゲートTG2が導通状態になり、記憶素子G1の入出力ノードN1の電位がインバータINV1、INV2、トランスファゲートTG2、インバータINV3、INV4を介して、記憶素子G1のデータ出力線Qに伝搬される。これによって、読み出しおよび書き込み兼用信号線SL1の電位に応じたデータが記憶素子G1に記録させることができる。

【0048】図9は本第2の実施例における読み出しの動作のタイムチャートを示す波形図である。図9に示すように、本第2の実施例のテスト回路においては、読み出しの動作を行うとき、ゲート素子専用選択制御線および記憶素子専用選択制御線を同時に選択する、すなわちゲート素子専用選択制御線を接地電位にし、記憶素子専用選択制御線をハイレベル電位にすることによって、読み出しを実現する。

【0049】具体的に、クロック信号の入力線CKを接地電位にし、ゲート素子専用選択制御線PLG0と記憶素子専用選択制御線PLM0を、ゲート素子専用選択制御線PLG1と記憶素子専用選択制御線PLM1を、ゲート素子専用選択制御線PLG2と記憶素子専用選択制

御線PLM2をそれぞれペアとして、同時に選択することによって、各ゲート素子G2、G4の出力ノードN2、N4および記憶素子G1、G3の入出力ノードN1、N3の電位に応じたデータが読み出しおよび書き込み兼用信号線SL1、SL2に読み出される。

【0050】たとえば、ゲート素子専用選択制御線PLG0を接地電位にし、同時に記憶素子専用選択制御線PLM0をハイレベル電位にすることによって、記憶素子G1の入出力ノードN1の電位が読み出しおよび書き込み兼用信号線SL1に、ゲート素子G2の出力ノードN2の電位が読み出しおよび書き込み兼用信号線SL2にそれぞれ読み出され、またゲート素子専用選択制御線PLG1を接地電位にし、同時に記憶素子専用選択制御線PLM1をハイレベル電位にすることによって、記憶素子G3の入出力ノードN3の電位が読み出しおよび書き込み兼用信号線SL2に読み出され、ゲート素子専用選択制御線PLG2を接地電位にし、同時に記憶素子専用選択制御線PLM2をハイレベル電位にすることによって、ゲート素子G4の出力ノードN4の電位が読み出しおよび書き込み兼用信号線SL1に読み出される。

【0051】図10は本第2の実施例における書き込みの動作のタイムチャートを示す波形図である。図10に示すように、本第2の実施例のテスト回路においては、書き込みを行うとき、たとえば、ゲート素子専用選択制御線PLG0と記憶素子専用選択制御線PLM0のペア、またはゲート素子専用選択制御線PLG1と記憶素子専用選択制御線PLM1のペアを順次選択することによって、読み出しおよび書き込み兼用信号線SL1、SL2の電位を記憶素子G1、G3の入出力ノードN1、N3に印加し、読み出しおよび書き込み兼用信号線SL1、SL2の電位に応じたデータを記憶素子G1、G3に書き込む。

【0052】または、記憶素子専用選択制御線PLM0、PLM1、PLM2のみを同時に選択することによって、各記憶素子に読み出しおよび書き込み兼用信号線の電位に応じたデータを同時に書き込むことができる。

【0053】具体的に、クロック信号の入力線CKにハイレベルの電位が印加されている状態では、ゲート素子専用選択制御線PLG0と記憶素子専用選択制御線PLM0のペア、またはゲート素子専用選択制御線PLG1と記憶素子専用選択制御線PLM1のペアを順次選択することによって、記憶素子G1、G3の入出力ノードN1、N3に順次に読み出しおよび書き込み兼用信号線SL1、SL2の電位が印加され、読み出しおよび書き込み兼用信号線SL1、SL2の電位に応じたデータが記憶素子G1、G3に書き込まれる。

【0054】また、記憶素子専用選択制御線PLM0、PLM1、PLM2を同時に選択し、すなわちハイレベル電位にすることによって、記憶素子G1、G3の入出力ノードN1、N3に同時に読み出しおよび書き込み兼

用信号線SL1、SL2の電位が印加され、それぞれの電位に応じたデータが記憶素子G1、G3に書き込まれる。この機能を用いて、記憶素子専用選択制御線PLM0、PLM1、PLM2を同時に選択し、読み出しおよび書き込み兼用信号線SL0、SL1、SL2に全て接地電位を保持させることによって、システムをリセットすることができる。これによって、従来必要だったシステムのリセット回路を省略することができる。

【0055】本第2の実施例によれば、上述した第1の実施例と同様に、2種類の選択制御線、すなわちゲート素子専用選択制御線PLG0および記憶素子専用選択制御線PLM0のどちらかを選択することによっても、記憶素子への書き込みを行うことができるため、従来のテスト回路の書き込みの手順を使用可能であり、上位互換性を保つことができる。

【0056】また、記憶素子専用選択制御線を順次に選択することによって、各記憶素子に読み出しおよび書き込み兼用信号線の電位に応じたデータを書き込むことができ、さらに記憶素子専用選択制御線を同時に選択することによって、同時に複数の記憶素子にデータを書き込むことが可能となり、テスト回路による記憶素子の検査時間を短縮できる。

【0057】また、従来の技術においては、スイッチ素子をPMOSTランジスタあるいはNMOSTランジスタのみによって構成されているため、記憶素子へ読み出しおよび書き込み兼用信号線の信号電位を安定して書き込むために、選択制御線に特別な電位を外部回路から供給することが必要であった。たとえば、PMOSTランジスタの場合は負の電位、NMOSTランジスタの場合は正の電位である。これに対して、本第2の実施例によれば、記憶素子と読み出しおよび書き込み兼用信号線との間にPMOSTランジスタにより構成されているスイッチ素子およびNMOSTランジスタにより構成されているスイッチ素子の2種類のスイッチ素子が並列に接続され、両者がCMOSTランスファゲートを構成することとなり、特別な電源なしに、記憶素子への安定した書き込みが実現できる。

【0058】また、第1の実施例と同様、本第2の実施例においては、選択制御線はポリシリコンなどによって作製することができ、記憶素子専用のスイッチ素子とともに金属配線層の下に埋め込むことができる。このため、実質上の面積の増加はそれほど多くはならず、実用上障害にはならない。

【0059】

【発明の効果】以上説明したように、本発明によれば、複数の記憶素子に同時に書き込むことが可能となる。このため、従来より短い検査パターンを作成でき、検査時間を短縮できる利点がある。

【0060】また、全ての記憶素子に接地電位を同時に書き込むことが可能となり、従来のテスト回路に必要な

ったリセット回路が省略できる利点がある。

【0061】さらに、本発明によれば、第1の被テスト回路としての記憶素子に対して、制御端子が第1の制御線に接続された第1のスイッチ素子と制御端子が第2の制御線に接続された第2のスイッチ素子を設けたので、特別な電源なしに、記憶素子への安定した書き込みができる利点がある。

【図面の簡単な説明】

【図1】本発明に係るテスト回路の第1の実施例の概念を示す図である。

【図2】本発明に係るテスト回路の第1の実施例の具体的な構成例を示す図である。

【図3】第1の実施例における記憶素子およびスイッチ素子の構成図である。

【図4】第1の実施例の読み出しのタイムチャートを示す波形図である。

【図5】第1の実施例の書き込みのタイムチャートを示す波形図である。

【図6】本発明に係るテスト回路の第2の実施例の概念を示す図である。

【図7】本発明に係るテスト回路の第2の実施例の具体的な構成例を示す図である。

【図8】第2の実施例における記憶素子およびスイッチ素子の構成図である。

【図9】第2の実施例の読み出しのタイムチャートを示す波形図である。

【図10】第2の実施例の書き込みのタイムチャートを示す波形図である。

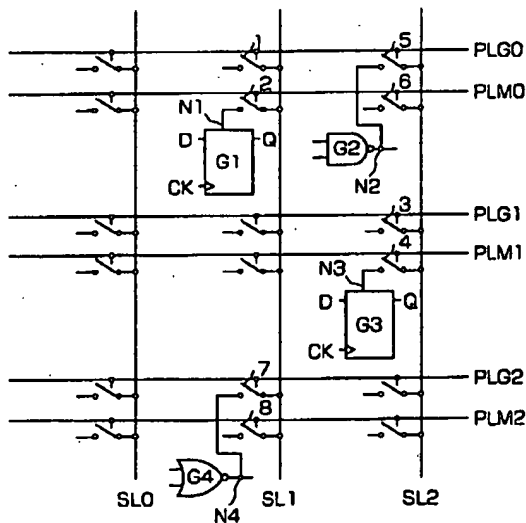
示す波形図である。

【図11】従来例のテスト回路の回路図である。

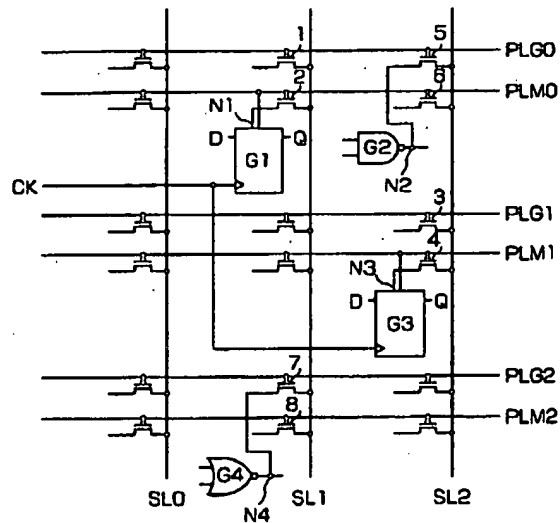
【符号の説明】

SL0, SL1, SL2…信号線
 PL0, PL1, PL2…選択制御線
 SW1, SW2, SW3, SW4…スイッチ素子
 G1, G3…記憶素子
 G2, G4…ゲート素子
 PLG0, PLG1, PLG2…ゲート素子専用選択制御線
 PLM0, PLM1, PLM2…記憶素子専用選択制御線
 CK…クロック信号の入力線
 ICK…クロック信号の同相信号線
 XCK…クロック信号の反転信号線
 N1, N2, N3, N4…ノード
 INV1～INV7…インバータ
 TG1～TG5…トランスファゲート
 D…記憶素子のデータ入力線
 Q…記憶素子のデータ出力線
 1, 2, …, 8…PMOSトランジスタにより構成されたスイッチ素子
 11, 13, 15, 17…PMOSトランジスタにより構成されたスイッチ素子
 12, 14, 16, 18…NMOSトランジスタにより構成されたスイッチ素子

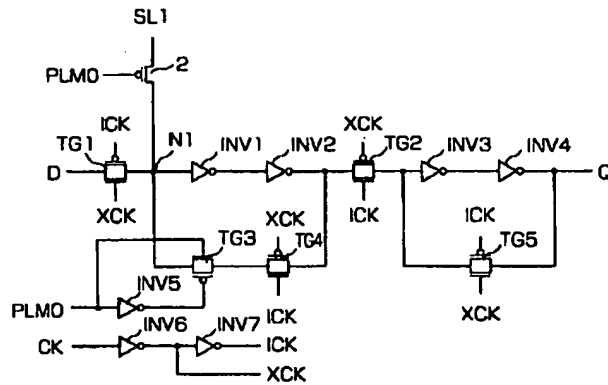
【図1】



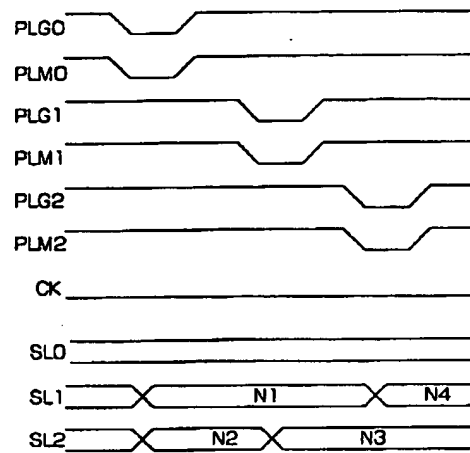
【図2】



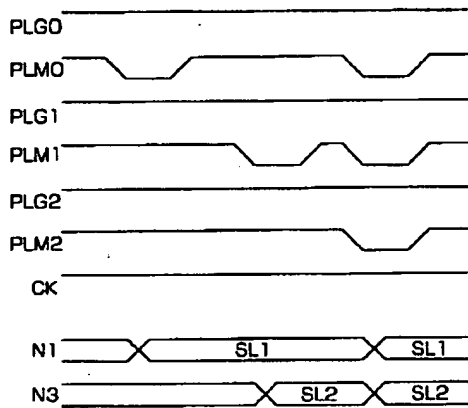
【図3】



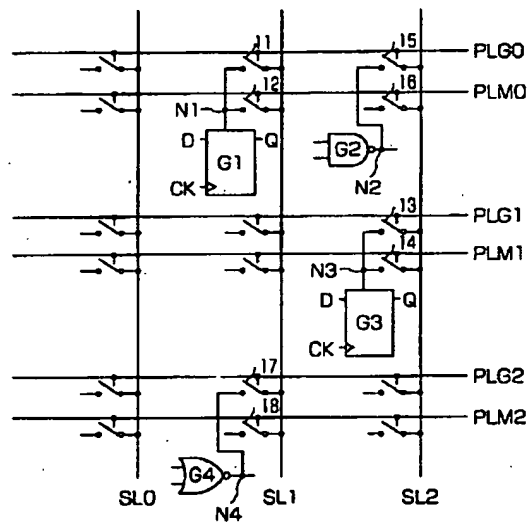
【図4】



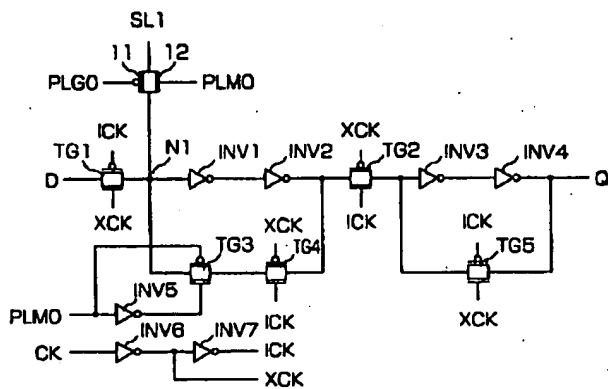
【図5】



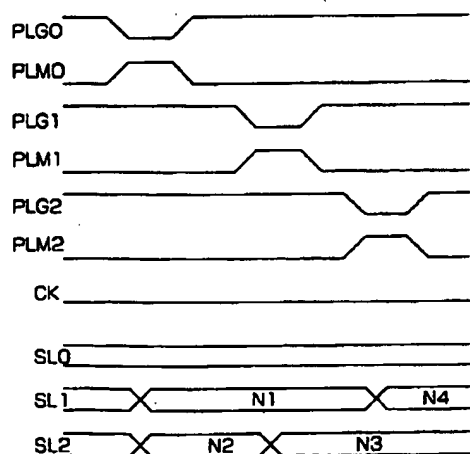
【図6】



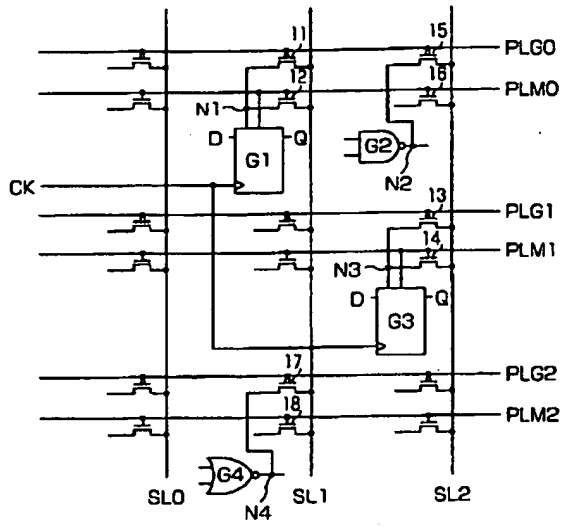
【図8】



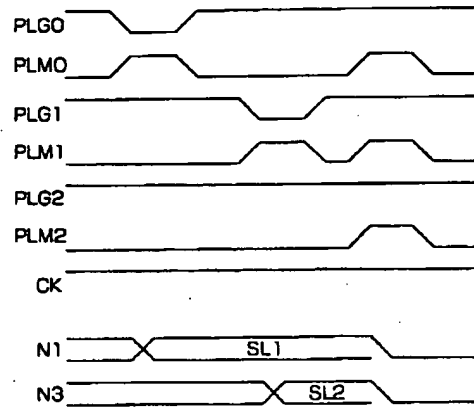
【図9】



【図7】



【図10】



【図11】

